

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **01082703 A**(43) Date of publication of application: **28.03.89**

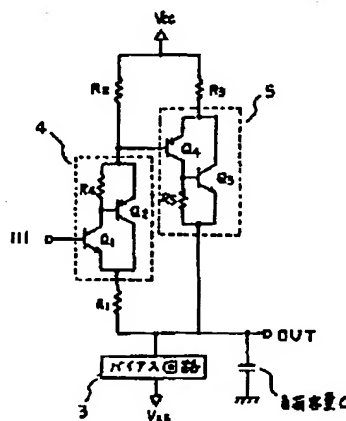
(51) Int. Cl.

**H03F 3/343**(21) Application number: **62238709**(22) Date of filing: **25.09.87**(71) Applicant: **HITACHI LTD**(72) Inventor: **SAITO TAKASHI  
YAMAMURA HIDEO**(54) **BUFFER AMPLIFIER CIRCUIT**

## (57) Abstract

**PURPOSE:** To eliminate variation in output impedance by reducing the output impedance over a wide band by adding a load capacitor to an output terminal, and using reverse Darlington-connected transistors (TR) as TRs and reducing emitter resistance until it can be ignored equivalently.

**CONSTITUTION:** The load capacitor C is added to the output terminal to reduce the output impedance in the high frequency band. Parts 4 and 5 are connected to the output terminal, so negative feedback is provided and low output impedance is realized. The load capacity C connected to the output terminal reduces the output impedance over the wide band at frequencies above the operation range of the TRs. Further, the circuit is very small in the internal resistance of the parts 4 and 5, so variation in the output impedance due to output current variation decreases.



COPYRIGHT: (C)1989,JPO&amp;Japio

## ⑫ 公開特許公報(A)

昭64-82703

⑪ Int. Cl.<sup>4</sup>  
H 03 F 3/343識別記号 庁内整理番号  
Z-6658-5J

⑬ 公開 昭和64年(1989)3月28日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 バッファ増幅回路

⑮ 特 願 昭62-238709

⑯ 出 願 昭62(1987)9月25日

⑰ 発 明 者 齊 藤 隆 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑱ 発 明 者 山 村 英 穂 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

## 明 細 書

## 1. 発明の名称

バッファ増幅回路

## 2. 特許請求の範囲

1. 入力端子を第1のトランジスタのベースに接続し、該第1のトランジスタのエミッタを第1の抵抗を介して出力端子に、コレクタを第2のトランジスタのベースに接続し、上記第2のトランジスタのベース・エミッタ間を抵抗を介して接続すると共にエミッタを第2の抵抗を介して高電位電源に、コレクタを上記第1のトランジスタのエミッタに接続し、第3のトランジスタのベース・エミッタ間を抵抗を介して接続すると共にエミッタを上記出力端子に、コレクタを第3の抵抗を介して上記高電位電源に接続し、第4のトランジスタのベースを上記第2のトランジスタのエミッタに、エミッタ及びコレクタをそれぞれ上記第3のトランジスタのコレクタ及びベースに接続し、上記出力端子に負荷容量Cを接続し、かつ上記出力端子と低電位電源間

にバイパス回路を接続して成るバッファ増幅回路。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はバッファ増幅回路に係り、特に広い周波数範囲にわたり低い出力インピーダンスを実現し、出力電圧の安定化を計ったバッファ増幅回路に関する。

〔従来の技術〕

近年の電子機器においては、回路動作の高速化が進んでいる。このため電子回路の電流変化も高速化され、その電力を供給する電源回路は出力電流の高速な変化に対して安定な電圧を供給する必要がある。具体的な回路図を挙げて説明すると、例えば、第4図に示すような電源回路は、スイッチSをオン、オフして負荷に電圧を供給するもので、計測機器の基準電圧の切り替えや、高精度のパルス波形の発生に使われる回路である。

通常、負荷が切り替わるか、あるいは変化しても基準電圧源の電圧が変化しないようにオペアンプなどによるバッファ回路を用いて安定化を行っ

ている。すなわち、第5図に示すようにオペアンプを付加すると出力インピーダンスが低くなるので出力電流が変化しても電圧の変動が起こらなくなる。

然るに、スイッチSWが、FETやトランジスタなどで高速にオン、オフされると、オペアンプではその速度に追従できないので基準電圧の変動が生じるようになる。これは、バッファ回路の出力インピーダンスが、高い周波数においては高くなるため、高周波成分を有する速度でスイッチングを行うと電圧変動が生じる。したがって、ここで用いるバッファ回路としては広帯域にわたり出力インピーダンスが低い回路が必要である。

第6図は従来のバッファ増幅回路で、これは特開昭58-73214号に記載されている技術であり、この回路は負帰還回路とみることができる。トランジスタ $Q_1$ は誤差増幅器、トランジスタ $Q_2$ は出力増幅器となっていてトランジスタ $Q_1$ のエミッタが出力端子に接続されることにより負帰還のループが形成され、この負帰還の作用により低出力

く設計できる。これはトランジスタが有効な利得を発生している周波数範囲で成立する。

〔発明が解決しようとする問題点〕

上記従来の回路では、高域での出力インピーダンスの上昇が起こってしまい、また出力インピーダンスが変動するなどの点について配慮がなされていない。

すなわち、トランジスタの動作範囲を超える高周波においては出力インピーダンスは上昇する。また、出力インピーダンスが変動する点については、エミッタの内部抵抗 $r_e$ が前記した式からもわかるように、エミッタ回路電流（出力電流）が変化するとエミッタ内部抵抗 $r_e$ も変化し、出力インピーダンスも変動する。このため、高性能な低インピーダンスバッファを要求された時にはこれを実現することができない。

本発明の目的は、上記問題を解決し、広帯域にわたり低出力インピーダンスで、特性変動の少ないバッファ増幅回路を提供することにある。

〔問題点を解決するための手段〕

インピーダンスとなる。この回路の出力インピーダンスは次のように求められる。

トランジスタ $Q_1, Q_2$ の利得 $A_{V1}, A_{V2}$ は

$$A_{V1} = \frac{R_B}{r_{e1}}, \quad A_{V2} = \frac{R_f}{r_{e2}}$$

と表わされ、回路全体の利得 $A_{V0}$ は

$$A_{V0} = A_{V1} \times A_{V2} = \frac{R_B \times R_f}{r_{e1} \times r_{e2}}$$

となる。負帰還を施す前の出力インピーダンスは $R_B$ であるので、出力インピーダンス $Z_0$ は

$$Z_0 = \frac{R_B}{A_{V0}} = \frac{r_{e1} \times r_{e2}}{R_f}$$

と表わされる。

ここに、 $r_{e1}, r_{e2}$ はトランジスタ $Q_1, Q_2$ の内部抵抗で、一般にエミッタ電流を $I_B$ とすれば次式で表わされる。

$$r_e = \frac{0.026}{I_B}$$

したがって $r_{e1}, r_{e2}, R_f$ または $I_{B1}, I_{B2}, R_f$ を適当に選べば、この回路の出力インピーダンスは低

上記目的は、出力端子に負荷容量Cを付加して広帯域にわたり出力インピーダンスを小さくし、また各トランジスタに逆ダーリントン接続のトランジスタを導入して等価的にエミッタ抵抗を無視できる値まで小さくし、出力インピーダンス特性が抵抗値で決まるようにして出力インピーダンスの変動のない回路を実現することにより、達成される。

〔作用〕

第1図に示す本発明の基本回路において、点線で囲まれた部分4が第6図従来回路のトランジスタ $Q_1$ に対応し、また点線で囲まれた部分5が第6図従来回路のトランジスタ $Q_2$ に対応している。

抵抗 $R_1, R_3$ はそれぞれ点線で囲まれた回路4, 5の出力部分に接続されており、この出力部分での内部抵抗は非常に小さいことから抵抗 $R_1, R_3$ と $R_2$ だけでこの回路の出力インピーダンスを決めることができる。また、出力端子に負荷容量Cを付加して高域での出力インピーダンスを低減している。

点線で囲まれた部分4, 5が出力端子で接続されていることから、負帰還がかかるようになっているのでトランジスタの動作範囲内では各トランジスタにより負帰還がかかり低出力インピーダンスとなる。トランジスタの動作範囲以上の周波数では、出力端子に接続されている負荷容量Cにより出力インピーダンスを広帯域にわたり低くしている。また、この回路では点線で囲まれた部分4, 5の内部抵抗が非常に小さいため、出力電流変化による出力インピーダンスの変動も小さくなっている。

#### 〔実施例〕

本発明の実施例を第2図により説明する。1はオペアンプであり、トランジスタ $Q_1 \sim Q_4$ 、抵抗 $R_1 \sim R_5$ は第1図の基本回路の各素子に対応する。

第2図ではバイアス回路を定電流源とし、トランジスタ $Q_5$ を用いて構成している。また出力短絡保護のためトランジスタ $Q_6$ 、抵抗 $R_6, R_7$ からなる電流制限回路を付加している。

第3図は、第2図の回路における出力インピー

となる。これに対し、第3図の出力インピーダンスの平均値は $110\text{m}\Omega$ を示して上記理論値とほぼ一致しており、かつ直流から $100\text{MHz}$ 以上までの広い周波数にわたり低い出力インピーダンス値が得られ、また入力部にオペアンプを接続して出力から負帰還を施すことにより直流成分においては高精度な電圧精度が得られるようになった。

#### 〔発明の効果〕

以上述べたように、本発明によれば、出力インピーダンスの変動が少なく、広い周波数範囲にわたり低出力インピーダンスの特性が得られるバッファ増幅回路が提供できる。

#### 4. 図面の簡単な説明

第1図は本発明によるバッファ増幅回路の一実施例を示す基本回路図、第2図は本発明による他の実施例を示す回路図、第3図は第2図の回路の特性例を示す図、第4図および第5図は従来技術を説明する回路図、第6図は従来のバッファ増幅回路の説明図である。

#### 〔符号の説明〕

ダンスの周波数特性を例示している。第3図は、第2図の回路における抵抗値を、 $R_1=10\Omega, R_2=1\text{k}\Omega, R_3=10\Omega$ とした場合の特性を示す。

ここで、エミッタ内部抵抗について説明する。トランジスタ $Q_1, Q_2$ のエミッタ内部抵抗を $r_{e1}, r_{e2}$ とし、トランジスタ $Q_2$ の電流増幅率を $\beta_2$ とすると点線で囲まれた部分4の出力インピーダンスは

$$Z = \frac{r_{e1}}{\beta_2 + 1}$$

で示される。具体的な数値例を挙げると

$$r_{e1} = 87\Omega (I_B = 3\text{mA}), \beta_2 = 200$$

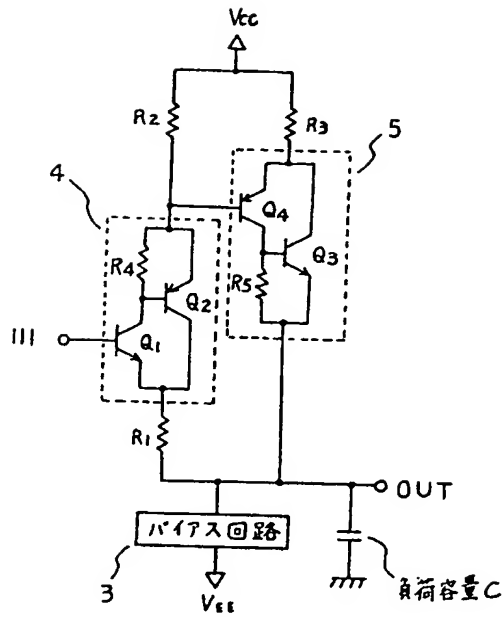
$$Z = \frac{87}{200+1} = 43\text{m}\Omega$$

すなわちトランジスタ単体での出力インピーダンス(エミッタ内部抵抗)の約 $1/200$ に小さくなっている。このようにエミッタ内部抵抗が非常に小さくなることから、回路全体での出力インピーダンス $Z_0$ は

$$Z_0 = \frac{R_1 \times R_3}{R_2} = \frac{10 \times 10}{1000} = 100\text{m}\Omega$$

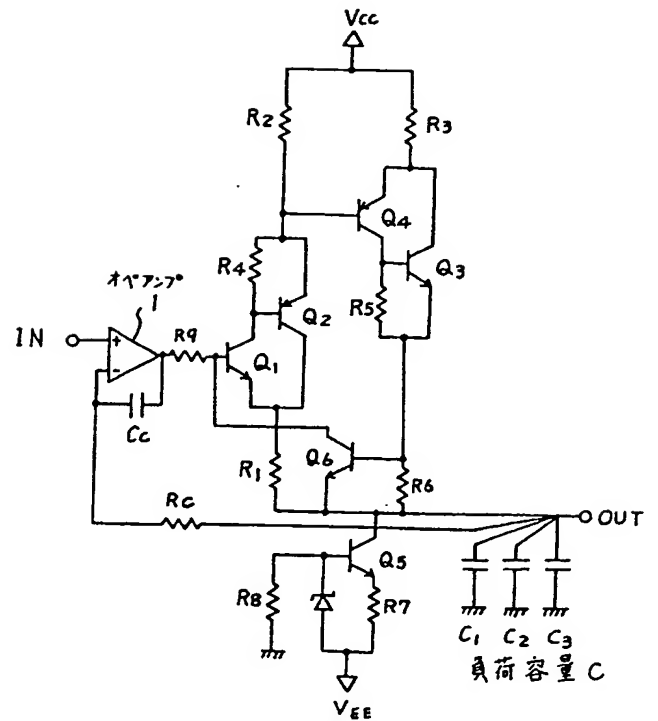
1…オペアンプ、3…バイアス回路、 $Q_1, Q_2, Q_3, Q_4$ …第1, 第2, 第3, 第4のトランジスタ、 $R_1, R_2, R_3, R_4, R_5, R_6, R_7, R_8, R_9$ …抵抗、C,  $C_1, C_2, C_3$ …負荷容量、IN…入力端子、OUT…出力端子、 $V_{CC}, V_{EE}$ …電源。

第 1 図

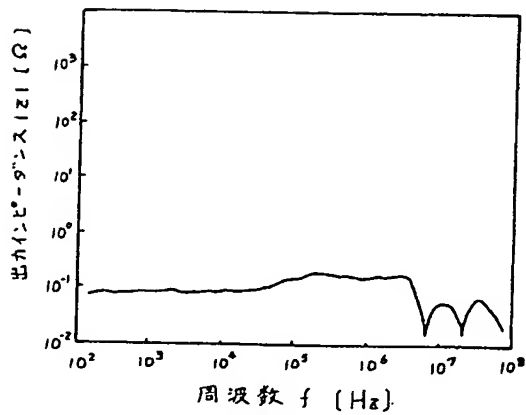


IN ... 入力端子  
 OUT ... 出力端子  
 $Q_1, Q_2, Q_3, Q_4$  ... 第1, 第2, 第3, 第4のトランジスタ  
 $V_{CC}, V_{EE}$  ... 電源

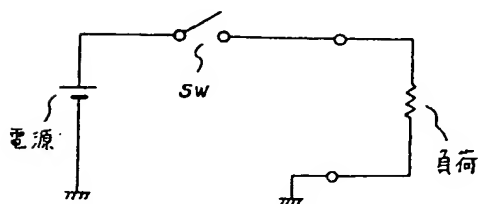
第 2 図



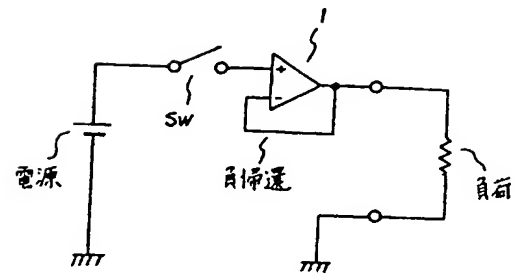
第 3 図



第 4 図



第 5 図



第 6 図

